(54) MOLDED IC LEAD ILLUMINATOR

(11) 2-140607 (A)

(43) 30.5.1990 (19) JP

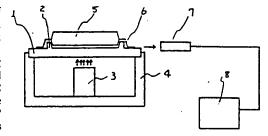
(21) Appl. No. 63-295085 (22) 22.11.1988

(71) SEIKO EPSON CORP (72) SEIJI TERAJIMA

(51) Int. Cl5. G01B11/24,G01N21/88,H01L21/66

PURPOSE: To make it possible to view a lead as a transmitted image even if height difference between the lower surface of a mold and that of the reed is about ≤0.15mm by using a translucent plate provided with a projecting part below the molded IC.

CONSTITUTION: An illuminator is constituted of a light source 3, a housing 4 and the translucent plate 1. A QFP(Quad Flat Package) 5 as a work is placed on the translucent plate 1. On the translucent plate 1, the projecting part 2 is formed in a gap part between the lead part 6 of the QFP 5 and the plate 1. The projecting part 2 is formed in a square shape corresponding to the QFP 5 on the translucent plate 1. Light emitted from the light source 3 becomes the transmitted light for the lead part 6 of the QFP 5 through the translucent plate 1 and also the projecting part 2 to be emitted to the outside. The lead part 6 can be surely viewed as the image in such a state. The image is displayed on a television monitor 8, for example, through a CCD camera 7.



(54) MEASURING INSTRUMENT FOR SURFACE SHAPE

(11) 2-140608 (A)

(43) 30.5.1990 (19) JP

(21) Appl. No. 63-293936 (22) 21.11.1988

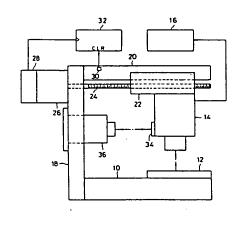
(71) FUJITSU LTD (72) SHINICHI WAKANA(2)

(51) Int. Cl5. G01B11/30

PURPOSE: To make a measurement in high accuracy over a long term without using a high accuracy scanning mechanism by providing an inclined angle sensor, scanning means, scanning position detecting means, reflection mirror, attitude

angle sensor, and correction means.

CONSTITUTION: By the inclined angle sensor 14, the inclined angle for the surface of a test sample 12 is detected in the manner of irradiating the test sample with a laser beam and receiving the reflected light: The sensor 14 is moved in the direction vertical to the surface of the test sample 12 by the scanning means consisting of a rail 20, carriage 22, feed screw 24, stepping motor 26, etc. The scanning position for the sensor 14 is detected by the scanning position detecting means consisting of a rotary encoder 28, position sensor 30, position coordinate counter 32, etc. The reflection mirror 34 is arranged on either a side board 18 at the fixed side or the sensor 14. The attitude angle sensor 36 is arranged on the other side either the side board 18 or the sensor 14, by which the attitude angle for the sensor 14 is detected in the manner of irradiating the reflection mirror with the light and receiving the reflected light. The detected inclined angle is corrected by the correction means in the manner of utilizing the detected attitude angle and the detected position.



10: stage, 16: inclined angle measuring circuit

BEST AVAILABLE COPY

(54) METHOD AND DEVICE FOR MEASURING PATTERN DIMENSION USING CHARGED PARTICLE BEAM

(11) 2-140609 (A)

(43) 30.5.1990 (19) JF

(21) Appl. No. 63-294283 (22) 21.11.1988

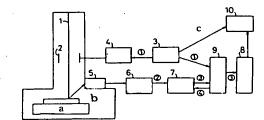
(71) NIPPON TELEGR & TELEPH CORP < NTT>

(72) MASAHIRO YOSHIZAWA(1)

(51) Int. Cl5. G01B15/00,H01L21/66

PURPOSE: To attain measurement while decreasing the influence of charge-up and economization of a memory and processing at a high speed by providing a deflector and a deflecting circuit, a secondary electronic detector and a secondary electronic detecting circuit, a memory, an adding circuit, an arithmetic part, etc.

CONSTITUTION: A beam 1 accelerated by a prescribed voltage is scanned in two directions of X and Y by controlling a voltage applied to a deflector 2 by a deflecting circuit 3 and changing a deflection voltage through a high voltage power source 4. On the other hand, when a sample is irradiated with the beam 1, a reflected electron and a secondary electron are emitted, they are detected by a secondary electron detector 5, and its signal quantum is converted to a voltage by a secondary electron detecting circuit 6. The output of the secondary electron detecting circuit 6 is added through an adding circuit 7, and thereafter, synchronized with an output of the deflecting circuit 3 and stored as a one-dimensional waveform in a memory 8. A control circuit 9 controls addition of the adding circuit and storage of the memory. An arithmetic part 10 detects an edge from a secondary electron signal waveform stored in the memory 8, and calculates a pattern dimension.



19 日本国特許庁(JP)

① 特許出願公開

平2-140609 ⑫ 公 開 特 許 公 報(A)

®Int. Cl. 5

識別記号

庁内整理番号

❸公開 平成2年(1990)5月30日

G 01 B 15/00 H 01 L 21/66 21/66

В

8304-2F 7376-5F 7376-5F

審査請求 未請求 請求項の数 4 (全7頁)

60発明の名称

荷電ビームを用いたパタン寸法測定方法およびその装置

②特 頭 昭63-294283

忽出 願 昭63(1988)11月21日

@発 明 者 正 浩 東京都千代田区内幸町1丁目1番6号 日本電信電話株式

会社内

@発 明 老 H

沢

康

東京都千代田区内幸町1丁目1番6号 日本電信電話株式

会社内

の出 頣 日本電信電話株式会社

東京都千代田区内幸町1丁目1番6号

倒代 理 弁理士 高山 敏夫

和

外1名

1、発明の名称

荷電ピームを用いたパタン寸法測定方法お よびその装置

- 2、特許請求の範囲
- (i) (i) 貧荷ピームの偏向方向が、被測定パタン に平行になるようにピームの偏向方向を選択し てライン走査を行い、
 - ⑪ 次に前記ライン走査の開始位置を当該パ タンに垂直な方向にずらしながら、反射電子ま たは二次電子信号を検出・蓄積し、
 - ω 前記(i)及び囮の操作を繰り返し、パタン に平行な方向の二次電子信号を加算して、パタ ンに垂直な方向の二次電子信号波形を得、
 - 69 前記の信号波形から、当該パタンのパタ ン幅を測定することを特徴とする荷質ピームを 用いたパタン寸法測定方法。
- (2) (i) 荷電ピームの偏向方向が、被拠定パタン に平行になるようにウェハの向きを回転してラ イン走査を行い、

- (D) 前記ライン走査の位置を当該パタンに垂 直な方向にずらしなから、反射世子または二次 電子信号を検出・蓄積し、
- 回 前記(i)及びG)の提作を扱り返し、パタン に平行な方向の二次電子信号を加算して、パタ ンに垂直な方向の二次電子信号波形を得、
- 6V 前記の信号波形から、当該パタンのパタ ン幅を測定することを特徴とする荷世ピームを 用いたパタン寸法測定方法。
- (3) (1) 荷電ピームを互いに直交する2つの方向 に偏向するための第1、第2の偏向器と前記傷 向器を制御する第1, 第2の偏向回路と、
- (11) 前記荷電ビームがパタンに当って発生す "る二次電子を検出する二次電子検出器と二次電 子検出回路と
- 毎 前記二次電子検出回路の出力 (二次電子 信号量)を第1、第2の偏向回路の出力信号に 同期して苦積するメモリと、
- 60 前記メモリ内のデータをパタンに平行な 第1の偏向の向きに加算してパタンに垂直な方

向の二次電子信号波形をメモリに格納するため の加算回路と、

- (V) 前記の格納された二次電子信号波形から エッジを検出してパタン寸法を求める演算部と を備えることを特徴とする衛電ビームを用いた パタン寸法測定装置。
- (4) (i) 商電ビームを互いに直交する2つの方向 に偏向するための第1、第2の偏向器と前記の 優向器を制御する第1、第2の偏向回路と、
 - GD 前記荷電ビームによってパタンより発生 する二次電子を検出する二次電子検出器と二次 電子検出回路と、
 - 前記二次電子検出回路の出力(二次電子信号量)を第1の偏向回路の出力信号に同期して加算する加算回路と、
 - (4) 前記加算回路の出力を第1の偏向回路の 出力信号に同期して、第2の偏向回路の出力信 号で指定されるメモリ位置に格納する制御回路 と、
 - (V) 前記の格納された二次電子信号波形から

二次電子信号波形から寸法を測定する各種手法を用いた方法・装置としては、二次電子信号に適当なスライスレベルを設定して2億化し、その立上がりと立下がりの間隔からパタン寸法を測定する方法が広く用いられている他、エッジ/ベースラインそれぞれを直線で近似し、2直線の交点の間隔からパタン寸法を測定する寸法測定装置(特別配61-80011「寸法測定装置」)等が提案されている。

このようにパタン寸を測定するための二次なき地加すると信号波形のS/N比はよくなるが、チャージアップが生じ、信号波形が歪む。このたたに、過度特度を高くなった。 はいい、 ピーム 電流を増加せずにライン 変を見かい でいる。 銀 6 図は、 従来の二次の図では 8 ラインの平均を行う場合を例示している。 例定パタッに理直な方向にラインをを扱り返し行い、各ラ

エッジを検出してパタン寸法を求める演算部と を備えることを特徴とする荷電ビームを用いた パタン寸法測定位置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、VLSI等の半導体、絶縁物等のパタンに同電ピームを照射し、反射電子または二次電子を検出してパタン幅を測定する場合に用いられるもので、チャージアップの影響を除去して特度よく測定するためのパタン寸法測定方法、およびその装置に関するものである。

(従来の技術)

LSI 等のパタン寸法の微細化に伴って、荷電ビームを用いた寸法測長装置が用いられている。この種の装置では、測定パタンに垂直な方向に電子ピームを走査し、反射電子または二次電子を検出することにより、測定パタンに垂直な方向の二次電子信号波形を得ている。この信号波形に適当なスライスレベルを設定する等の処理を行い、被測定パタンの寸法を得ている。

インの1次元波形メモリ1~8に格納した後、各
波形を加算平均している。この時、チャージアッ
アの影響を低減するために、ライン走査の開始位
置をパタン方向に少しずつずらしている。しか合、
このようにラインスキャンを繰り返し行う場をとり
このようにラインスキャンを繰り返し行う場合と
でのようにラインスキャンをではなるとのでは、スキャンの始めの位置(第6図でいい子が思
対されるため、チュージアップによる波形で全
引き起こしやすい。即ちため、ではよる次のにより、になるないになるない。
対されるため、チューカのではなりによるなどの表
対されるため、チューカのによるなどの表
対応を体にその影響が及ぶ。

第7図は、その現象を説明するための図であり、加速電圧を変えてレジストパタンの二次電子信号 彼形を従来法より取り込んだ例を示している。(a) ではチャージアップの影響は殆どなく、 基準線 (グランドレベル) のパタン間での変化、パタン間の信号波形の変化は小さいが、 S / N 比はよく ない。しかし、 S / N 比を向上するため、加速電

圧を増加する等を行うと、心のようにパタン部分の波形の非対称性が大きくなったり、信号波形内の隣接パタン間ばらつきが大きくなる。あるいは、グランドレベルの場所による変化が大きくな元取込このようにチャージアップの影響は、1次元取込み波形の全体にその影響が及んでしまう。通常、パタン寸法を自動測定するためには、スライスレベル等の解析条件を決めて置かなければならないが、このような波形の変化は、同一条件による測定を困難にするため、測定精度、再現性の低下をもたらす。

(発明が解決しようとする課題)

本発明は、荷電ビームを用いたバタン幅測定に おいて、チャージアップにより取込み二次電子波 形が乱れると、測定精度が低下することを防ぐた めに、チャージアップの影響を受けないように二 次電子波形を取り込むことを目的としている。

従来技術の項で述べたように、荷電ビームをパ タンに垂直に走変した場合、走査開始位置のチャ ージアップの影容は、1次元取込み波形の全体に

(i)及び印の操作を繰り返し、パタンに平行な方向 の二次電子信号を加算して、パタンに垂直な方向 の二次電子信号波形を得い前記の信号波形から、 当該パタンのパタン幅を測定する荷電ビームを用 いたパタン寸法測定方法。

さらに木発明は(1)荷電ピームを互いに直交する

その影響が及んでします。このため測定しようとする中心付近の信号波形に聴影響を及ぼすことになる。この影響は、S/N比を上げるためにピーム電流、加速電圧を上昇した場合に顕著である。 (課題を解決するための手段)

本発明は(i)電荷ビームの偏向方向が、被測定パタンに平行になるようにピームの偏向方向を選択してライン走査を行い、例次に前記ライン走査の開始位置を当該パタンに垂直な方向にずらしながら、反射電子または二次電子信号を検出・蓄積し、瞬前記(i)及び60の操作を繰り返し、パタンに垂直な方向の二次電子信号を加算して、パタンに垂直な方向の二次電子信号被形を得、10前記の信号被形から、当該パタンのパタン幅を測定する荷電ピームを用いたパタン寸法測定方法。

さらに本発明は(i)荷電ビームの偏向方向が、被 測定パタンに平行になるようにウェハの向きを回 転してライン走盗を行い、(i)前記ライン走盗位置 を当抜パタンに垂直な方向にずらしながら、反射 電子または二次電子信号を検出・蓄積し、(ii) 向記

要約すれば本発明はスキャンの方向を、バタンに平行な向きに行い、その加算を記位する動作を 順次行い、前記パタンに垂直な1次元取込み被形 でのチャージアップの影響を、走査開始位置近傍 に集中させることにより測定しようとする中心付 近の信号被形にはチャージアップの影響が及ばな いようにする。 このため、パタンの方向によって、ピームのスキャン方向(偏向方向)を選択する、あるいは、 偏向方向は同じにしてウエハの向きを回転することにより、ピームの偏向方向とパタンの方向を同 むにして波形の取込みを行うものである。

(作用)

•"

本発明の方法は、遡長における波形取込みを、
パタンに平行な向きに行い加算してゆく処理を扱
り返すことにより、走査開始位置のチャージアップの影響が、実際に遡定しようとする1次元取込
み波形の中央付近に及ばないようにしている。こ
のため、チャージアップが生じにくくなる作用が
ある。

(実施例)

次に本発明の実施例について説明する。

なお実施的は一つの例示であって、本発明の精神を逸脱しない範囲で、種々の変更あるいは改良 を行いうることは云うまでもない。

第1図は、木発明の実施例を示しており、被測 定パタンを測定する場合の荷電ビームの走変方法

画面表示用CRT の偏向方向(X. Y)も同時に入れ換えることにより、表示画面上のパタンの向きを、正規の方向(実際のパタンの向き)に表示することができる。

上述のように、信号を取り込んだ後に加算処理を行って1次元波形を得てもよいが、1ラインごとに加算して、メモリに格納する処理を扱り返して1次元波形を得ても良い。この方法によれば、同じパッファとで加速処理を行うことができるができるがけてなく、第6図の従来法のようにすべてのライン走査を終了した後処理を行わずに、1ラインごとに加算処理を観次行うことができるため、パイプライン処理により高速化を図ることができる。

第2図はし&Sの二次電子信号波形を本発明の方法により得た(ロ)と、従来方法により得た(ロ)を比較した図である。(ロでは、チャージアップによる波形の変化が取込み波形全体におよび、始めの方のライン部分の波形と終わりの部分の波形形状が異なり、寸法誤差が生じやすい。一方、(ロ)では、

を示した図である。被測定パタンに垂直な方向の 1次元被形を高いS/N比で取り込むために、以 下の手順で被形の取込みを行う。

- (i) パタンに平行な方向にピームをライン走査し、 その信号メモリの対応する場所に格納する。
- ⇒ 次にラインの走査開始位置を①。②・・・と 域次ずらして前記(i)の作業を繰り返す。
- 前記(i)。(i)により得られた信号を、パタンに 平行な方向に加えて、パタンに垂直な方向の1次 元の二次世子信号波形を最終的にメモリに得る。

第1図は、パタンがY方向に長い場合を示すもので、X方向の1次元波形を得たい場合である。この場合には、第1図のようにライン走査をY方向に行い、頑次 X方向にずらしていき、Y方向にがタンが X方向の長い場合には、ライン走査を X方向に行い、Y方向にずらしてゆき、 X方向に行い、Y方向にずらしてゆき、 X方向に行い、Y方向にずらしてゆき、 X方向には カッカーにより Y方向の1次元波形を得る。このように、取込みのスキャンの方向は、 拠定対称パタンの方向によって変える。また、この時、

走在開始位置に近い端の部分は、電荷が溜まりやすく二次電子信号量が多いが、それ以降の部分では場所による被形の変化が少ない。また、被形の左右の非対称性も小さく、グランドレベルの場所による変化も小さい。このため、積度の高い測定を行うことができる。

位置が異なる。このずれは、あらかじめ、ステージ座優系とウェハ座標系での回転量、原点ずれを 求めておくことにより、植正することができる。

第4図は、本発明の方法を行う装置の1例を示した図である。図において、1は荷電ビーム、2は偏向器、3は高圧電源、4は偏向回路、5は二次電子検出器、6は二次電子検出回路、7は加算回路、8はメモリ、9は制御回路、10は演算部を示す。

この装置は、メモリに取り込んだ後にライン走 立分の信号を加算するかわりに、1ライン走査ご とに加算、蓄積して1次元彼形を得る構成である。 所定の電圧で加速されたビーム1を、偏向器では流費 加える電圧(電磁コイルを用いた偏向器では流す 電流量)を偏向回路3により制御し、高圧電源4 を介して温血電圧を変えることによりX、Yの2 方向にスキャンする。一方、によりがは電子が ないたに、これらを二次電子検出器で検出し、で電圧 の信号量を二次電子検出器の「アンプ」で電圧

である。パタンがY方向に長く、X方向の1次元 彼形を取り込む場合を例に説明する。通常はこの ような場合、ビームをX方向にスキャンして、こ のスキャンに同期して西像メモリに波形データを 取り込む。本発明では、先ずX方向の偏向電圧 (偏向信号B)を一定にしたままY方向の偏向性 圧(偏向信号A)を順次変化させてピームをY方 向にスキャンする。この時の二次世子信号を傾向 信号1の1ステップごとに加算回路で加算する。 Y方向のスキャンが終了したらY方向の偏向電圧 は元に戻す。この信号により、加算信号を、メモ りに記憶して加算用のバッファをクリアする。メ モリの記位位置は、X方向の偏向位圧によってき める。加算信号をメモリに格納したらX方向の偏 向信号Bを1ステップ増加する。以上の扱り返し により、X方向の1次元波形がメモリ以上に蓄積 される.

)

このような彼形の取得を連続して行うような場合、スキャン開始位置でスキャンを停止し、CRT やメモリとのタイミングをとる。この時、ピーム に変換している。通常のSEN 等では、この信号を 偏向回路の出力信号に同期してCRT に表示したり、 西像メモリに蓄積したりしている。木発明では、 二次電子検出回路6の出力を直接メモリに入力せ ずに、加算回路1を介して加算してから、偏向回 路3の出力に同期してメモリ8に1次元波形とし て記憶する。制御回路9は、加箕回路7の加箕、 メモリへの格納を制御するものである。10はメ モリに格納された二次電子信号波形からエッジを 後出し、パタン寸法を算出する演算部である。エ ッジ部分を検出し、この間隔を画業単位で求める。 一方、偏向回路3の振幅から得られる倍率でパタ ン寸法を換算する。エッジ検出の方法は、スライ スレベルによる2値化、ピーク間隔検出、最大傾 舒位置間隔検出等、いずれを用いてもよい。また、 第4図では、静電型の偏向器を用いているが、位 位レンズを偏向器に用いてもよいことは、言うま でもない.

第5図は第4図の装置の二次電子信号波形取込み動作手順を説明するためのタイミングチャート

がオンされたままであると、その時のチャージの 影響が出やすい。従って、停止時にブランキング によりピームをオフすると、チャージアップの影 智は一層除去することができる。

なお、第4図では、静電型の偏向器を用いているが、電磁レンズの偏向器を用いてよいことは、 言うまでもない。

(発明の効果)

本発明の方法は、演長における波形取込みを、パタンに平行な向きに繰り返すようにスキャンの傾向方向を選択することにより、走姿開始位置のチャージアップの影響が、実際に測定しないようにしている。このため、チャージアップの影響を低波した測定ができる。また、この方法は取り込みと加算処理をパイプライン処理できるため、メモリの節約、高速化を図ることができる利点がある。

本発明の方法、装置は、パタン寸法の測定装置 だけでなく、二次電子信号被形、面像を用いてパ タンの欠陥を検出する検査装置やSEN 等に広く用 いることができる。

またこの方法、およびその装置は、パタン報測 定以外にも、観察SEM 、欠陥検出等の検査装置に おいてチャージアップの影響を除去した波形を得 ることに用いることができる。

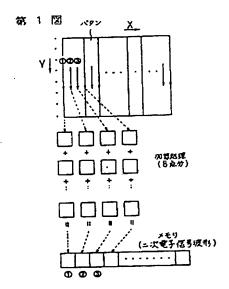
4. 図面の簡単な説明

第1図は、本発明による二次電子信号設形取込み方法の実施例を示した図、第2図は、本発明の方法で得た二次電子信号設形(a)と、従来方法により得た二次電子信号設形(b)を比較した図である。第3図は、本発明の装置の1例を示した図である。第4図は本発明の装置の1例を示した図、第5図は、その動作を説明するためのタイミングサートである。第6図(a)、(b)は、従来の二次電子信号波形取込み方法を示した図第7図(a)、(b)は従来のの影響を説明するための図によるチャージアップの影響を説明するための図を示す。

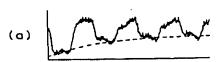
1 … 商電ビーム、2 … 偏向器、3 … 萬圧電源、4 …偏向回路、5 … 二次電子検出器、6 … 二次電

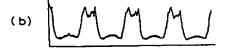
子検出回路、7…加算回路、8…メモり、9…側 御回路、10…消算部。

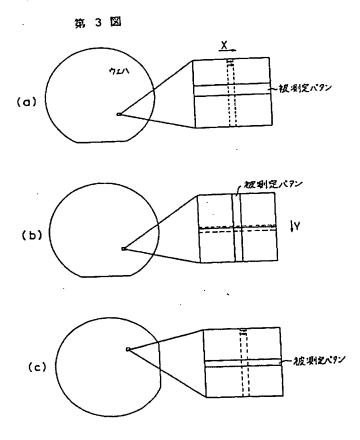
> 特許出願人 日本電信電話株式会社 代理人 弁理士高 山 敏 夫 (ほか1名)

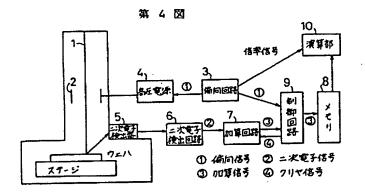


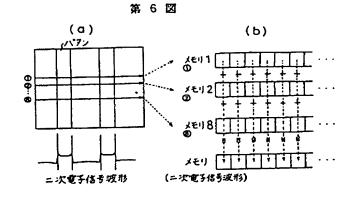
第 2 図

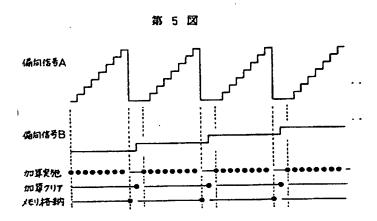


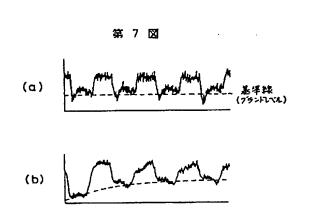












This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:
☐ BLACK BORDERS
☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
☐ FADED TEXT OR DRAWING
4 BLURRED OR ILLEGIBLE TEXT OR DRAWING
☐ SKEWED/SLANTED IMAGES
☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
☐ GRAY SCALE DOCUMENTS
☐ LINES OR MARKS ON ORIGINAL DOCUMENT
☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
□ OTHER.

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.